

?s pn=05074961  
S2 1 PN=05074961  
?T 2/5

2/5/1  
DIALOG(R) File 347: JAPIO  
(c) JPO & JAPIO. All rts. reserv.

04083261  
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO. : 05-074961 [JP 5074961 A]  
PUBLISHED: March 26, 1993 (19930326)  
INVENTOR(s): TAKAGI HIDEO  
YOSHIDA AKIHIRO  
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO. : 03-237987 [JP 91237987]  
FILED: September 18, 1991 (19910918)  
INTL CLASS: [5] H01L-021/90; H01L-021/318  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)  
JOURNAL: Section: E, Section No. 1404, Vol. 17, No. 401, Pg. 2, July  
27, 1993 (19930727)

ABSTRACT

PURPOSE: To suppress reaction (mutual diffusion) of a TiN layer with an upper metal layer, to improve contact reliability of an Si substrate or polysilicon or a silicide layer and to improve reliability of multilayer wirings themselves in the wiring using Ti/TiN barrier layer in a method for forming wiring of a semiconductor device.

CONSTITUTION: A method for forming multilayer structure wiring of a semiconductor device having a barrier layer made of a Ti layer 5, a TiN layer 6 and a metal layer 8 formed thereon comprises the steps of oxidizing the layer 6 to form an oxide film 7 before forming the metal layer 8 in such a manner that the reflecting intensity of the film 7 is set to 0.65-0.9 to that of TiN before oxidizing (a measuring incident wavelength: 480nm).



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-74961

(43) 公開日 平成5年(1993)3月26日

93-138380/17

(51) Int.Cl.<sup>5</sup>

H 0 1 L 21/90

// H 0 1 L 21/318

識別記号

庁内整理番号

M 7353-4M

C 8518-4M

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 8 頁)

(21) 出願番号

特願平3-237987

(22) 出願日

平成3年(1991)9月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 高木 英雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 吉田 明弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 青木 朗 (外4名)

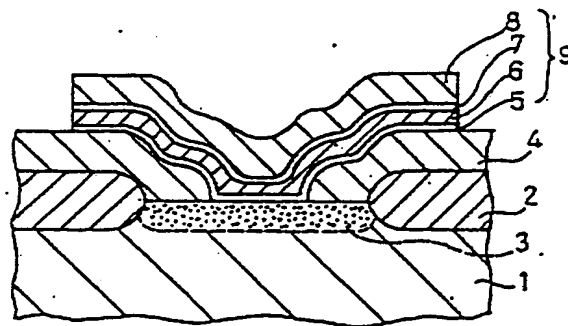
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 IC、LSIなどの半導体装置の製造方法、より詳しくは、該半導体装置の配線の形成方法に関し、Ti/TiNバリア層を用いた多層配線において、TiN層と上層金属層との反応(相互拡散)を抑制し、Si基板ないしポリシリコンまたはシリサイドの層とのコンタクト信頼性を向上させ、かつ該多層配線自身の信頼性を向上させる。

【構成】 Ti層5とTiN層6とからなるバリア層およびその上の金属層8を含んでなる半導体装置の多層構造配線を形成する方法において、該金属層8の形成前に、TiN層6を酸化して薄い酸化膜7を形成し、その際に、TiNの酸化膜7の反射強度を酸化前のTiNの反射強度に対して0.65~0.9(測定入射波長:480nmにて)とするように構成する。

本発明による多層配線付き半導体装置の部分断面図



- 1 --- 半導体基板
- 2 --- N<sup>+</sup> (P<sup>+</sup>) 領域
- 3 --- BPSG
- 4 --- Ti 層
- 5 --- TiN 層
- 6 --- TiN 層
- 7 --- TiN の酸化膜
- 8 --- 金属層
- 9 --- 多層配線

## 【特許請求の範囲】

【請求項1】 Ti層とTiN層とからなるバリア層およびその上の金属層を含んでなる多層構造配線を有する半導体装置を製造する方法において、前記金属層(8)の形成前に、前記TiN層(6)を酸化して、該TiN層および該金属層とが反応せずかつ電気的な導通がとれる程度の薄い酸化膜(7)を形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記TiNの酸化膜の反射強度を酸化前のTiNの反射強度に対して0.65~0.9(測定入射波長:480nmにて)とすることを特徴とする請求項1記載の製造方法。

【請求項3】 前記金属層(8)はAl、Al-Cu、Al-Si、Al-Si-Cu、Al-Cu-Ti、CuまたはAuであることを特徴とする請求項1記載の製造方法。

【請求項4】 前記Ti層(5)はSi基板(1)、ポリシリコン層またはシリサイド層と接触していることを特徴とする請求項1記載の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、IC、LSIなどの半導体装置の製造方法、より詳しくは、該半導体装置の配線の形成方法に関する。近年の半導体装置の高集積化に伴い、配線とSi基板のソース、ドレインなどのN<sup>+</sup>領域(或いはP<sup>+</sup>領域)との電気的なコンタクトの信頼性、さらに配線自身の信頼性を維持するのが難しくなり、信頼性を向上させる工夫が求められている。そこで、配線を多層化してバリアメタル層を用いることが行われている。

## 【0002】

【従来の技術】 バリアメタル層としTi/TiN層が提案されている。なお、Ti層は、TiN層よりもかなり薄く、密着性を高めるためおよびTiNとSiとのコンタクト抵抗を下げるためにバリアメタルのTiN層の下に形成してある。このTi/TiNバリア層とその上のAl合金層と多層配線においては、例えば、スパッタリングでTi層を形成し、続けてスパッタリングでTiN層を形成し、窒素(N<sub>2</sub>)雰囲気中でアニールし(400~450℃にて)、スパッタエッチングで表面クリーニングし、そしてAl合金層をスパッタリング(または真空蒸着)で形成している。アニールはTiN層中の窒化されていないTiを窒化するためである。また、スパッタリングによるTiN層形成の代わりに、Ti層をN<sub>2</sub>雰囲気中でアニールしてTiN層を形成することもで

きる。

## 【0003】

【発明が解決しようとする課題】 このTi/TiNバリア層の採用によって、配線に起因する半導体装置の信頼性や歩留りの低下をかなり回避することができる。しかし、上層金属(Al、Al合金、Cu、Auなど)とTiNとの反応を十分に防ぐことができないので、バリア層のバリア性をより高める必要がある。

【0004】 なお、TiNのアニール処理の時に、TiN層表面が酸化されることがあるが、通常は上述したように表面クリーニングを施しており、この酸化量および酸化膜質を管理することは困難であり、かつ制御する方法がない。本発明の目的は、Ti/TiNバリア層を用いた多層配線において、TiN層と上層金属層との反応(相互拡散)を抑制し、Si基板ないしポリシリコンまたはシリサイドの層とのコンタクト信頼性を向上させ、かつ該多層配線自身の信頼性を向上させることであり、そのような多層配線を有する半導体装置の製造方法をも提供することである。

## 20 【0005】

【課題を解決するための手段】 上述の目的が、Ti層とTiN層とからなるバリア層およびその上の金属層を含んでなる多層構造配線を有する半導体装置を製造する方法において、該金属層の形成前に、TiN層を酸化して、該TiN層および該金属層とが反応せずかつ電気的な導通がとれる程度の薄い酸化膜を形成する工程を有することを特徴とする半導体装置の製造方法によって達成される。

30 【0006】 TiNの酸化膜の反射強度を酸化前のTiNの反射強度に対して0.65~0.9(測定入射波長:480nmにて)とすることが好ましい。金属層はAl、Al-Cu、Al-Si、Al-Si-Cu、Al-Cu-Ti、CuまたはAuであり、かつTi層はSi基板、ポリシリコン層またはシリサイド層と接触していることが好ましい。

40 【0007】 また、生じさせるTiNの酸化膜の膜厚は5nm以下であり、これよりも厚いと配線のコンタクト抵抗が大きく増加してしまう。反射強度は、薄膜厚測定器(例えば、キャノン製TM005)によってTiN層の酸化前と酸化後と測定して、測定の入射光の波長に応じて、「TiN酸化膜/TiN」の反射強度割合を下記の表1のようにするのが望ましい。

## 【0008】

## 【表1】

入射波長	反射強度 (TiN 酸化膜/TiN)
480nm	0.65~0.9
520nm	0.55~0.8
560nm	0.4 ~0.75
600nm	0.4 ~0.85

【0009】この範囲内であれば、コンタクト抵抗を大きく増加することなく、TiN層のバリア性を向上させる。

【0010】

【作用】本発明では、TiN層とその上の金属層との間に薄いTiNの酸化膜を形成しており、これがTiNと金属層との相互拡散を抑制し、かつ上層金属のTiN粒界拡散をも抑制する。このことによって、TiN層を含む多層配線と半導体(Si)基板のN<sup>+</sup>領域(或いはP<sup>+</sup>領域)とのコンタクト部分における接合の信頼性が向上し、そして、該多層配線のエレクトロマイグレーションのMTF(平均寿命)が延びる。TiNの酸化膜の膜厚が5nm以下に制御してあるので、TiN層とAl合金層とのコンタクトに問題はない。さらに、たとえ上層金属層がエレクトロマイグレーションあるいはストレスマイグレーションによる破断となっても、TiN層が電気抵抗の増加を軽減して、いわゆる、積層(多層)化のメリットを保つことができる。

【0011】

【実施例】以下、添付図面を参照して、本発明の実施例を含む実験によって本発明を詳細に説明する。図1に示すような、多層配線を備えた半導体装置を作製し、その過程でのTiN層形成後のアニール処理条件を変えることで本発明の効果を調べる。

【0012】実験1

先ず、P<sup>+</sup>型Si基板(ウエハ)1を用意し、選択酸化によってSiO<sub>2</sub>層2を形成し、そして、イオン注入によってN<sup>+</sup>領域3のコンタクト領域を形成する。全面にBPSG層(厚さ400nm)4をCVD法によって堆積し、ホトリソグラフィ法でBPSG層4をエッチングしてコンタクト領域3を表出させる(コンタクト・ホール径0.6μm)。次に、スパッタリングによってTi層(厚さ20nm)5を全面に堆積し、その上にスパッタリングによってTiN層(厚さ100nm)6を全面に堆積する。これを加熱炉に入れて、アニール処理(30分)を施し、その際のアニール温度および雰囲気を下記のように設定する。

【0013】(1) アニール雰囲気中に酸素ガスを添加する。

アニール温度(℃) … 300、350、375、400、425  
および450

アニール雰囲気 … N<sub>2</sub>: 80%±5% (24リットル/分) およびO<sub>2</sub>: 20%±5% (6リットル/分)

(2) アニール雰囲気中に酸素ガスを添加しない。

【0014】

アニール温度(℃) … 400 および450

アニール雰囲気 … N<sub>2</sub>: 100% (30リットル/分)

アニール雰囲気が酸素ガスを含んでいるので、加熱炉内でTiN層の表面が酸化されて、TiNの酸化膜7を形成する。アニール雰囲気の窒素ガスと酸素ガスとの比率を大気での比率と同じにすることにより、加熱炉への出し入れの際のTiNの酸化効果を割合を下げる。また、アニール温度は450℃以下にして、TiNの酸化膜7の厚さが5nmを越えないようにする。

【0015】アニール処理後に、スパッタリングによってAl-Cu-Ti合金を厚さ300nm堆積して、上層金属層8を形成し、ホトリソグラフィ法で積層した層4~7をエッチングして所定パターンが多層配線9とする。このようにして、多層配線付きの半導体装置が得られる。一方、上述のアニール処理を施すことなく、この上層金属層8を形成し、エッチングして多層配線9として半導体装置を製造する。

【0016】反射強度について

アニール処理の前および後で、キャノン製の薄膜厚測定器(TM005)にてTiN層とその酸化膜に所定波長の光を当て、その反射強度を測定して、図2に示す結果が得られた。なお、Si基板1の反射強度も測定して示してある。温度400℃、酸素ガス20%含有の雰囲気でのアニール処理の場合には、得られた結果から計算によって、入射波長ごとの「TiN酸化膜/TiN」の反射強度割合を求めると、表2となる。

【0017】

【表2】

入射波長	反射強度 (TiN 酸化膜/TiN)
480 nm	0.758
520 nm	0.63
560 nm	0.63
600 nm	0.72

【0018】また、温度350℃、酸素ガス20%含有の雰囲気でのアニール処理の場合には、入射波長ごとの「TiN酸化膜/TiN」の反射強度割合を同様に求め\*  
 \*ると、表3となる。  
 【0019】  
 【表3】

入射波長	反射強度 (TiN 酸化膜/TiN)
480 nm	0.853
520 nm	0.77
560 nm	0.75
600 nm	0.80

#### 【0020】コンタクト抵抗について

所定の多層配線を形成した半導体装置におけるコンタクト抵抗を測定し、さらに、コンタクト抵抗のアニール温度依存性を調べるために、該半導体装置を①500℃×30分または②450℃×30分の加熱処理を施してコンタクト抵抗を測定した。得られた結果を図3に示す。

【0021】コンタクト抵抗はアニール時に酸素ガスを添加すると、抵抗は高くなる（アニール温度400℃での比較で）。さらに、アニール温度が高くなるほど、かつ熱処理温度が高いほど、抵抗も上昇する。この点から、TiNの酸化膜の厚さには制限がある。

#### 接合リーク (Junction Leak) について

所定の多層配線を形成した半導体装置における接合リーク不良率のアニール温度依存性を調べるために、該半導体装置を①500℃×30分の加熱処理を2回または3回繰り返した。得られた結果を図4に示す。

【0022】アニール温度が高いほど、不良率は低くなり、バリア性が高められている。

#### 配線のシート抵抗について

形成した多層配線自身のシート抵抗のアニール温度依存性を、①450℃×150分または②450℃×3-30

30 分の加熱処理を施してシート抵抗の上昇率として求めた。得られた結果を図5に示す。

【0023】アニール時の酸素添加でTiNの酸化膜があると、幾分か上昇率が抑えられ、また、アニール温度の高いほうが上昇率が低い。

#### 実験2

Si基板を熱酸化してSiO<sub>2</sub>層（厚さ100nm）を形成し、その上に上述した実験1と同様にスパッタリングでTi層およびTiN層を連続的に積層形成する。そして、その後のアニール処理をアニール温度を450℃一定にして次のような条件にて行う。

40 一定にして次のような条件にて行う。

【0024】（1）アニール雰囲気を窒素のみとして、30リットル/分のN<sub>2</sub>を流し、30分アニールを①1回あるいは②3回行う。

（2）アニール雰囲気に酸素ガスを添加し、その添加量（N<sub>2</sub>:30リットル/分に加える量）を③0.35リットル/分、④1.0リットル/分および⑤2.0リットル/分として、アニール時間30分とする。

【0025】アニール処理の前および後で、実験1と同じにキャノン製の薄膜厚測定器（TM005）にてTiN層とその酸化膜に所定波長の光を当て、その反射強度

7  
を測定して、図6に示す結果が得られた。なお、Si基板の反射強度も測定して示してある。得られた結果から計算によって、入射波長ごとの「TiN酸化膜/Ti

8  
\*N」の反射強度割合を求めると、表4となる。  
【0026】  
\* 【表4】

入射波長	反射強度 (TiN 酸化膜/TiN)
480nm	0.65~0.9
520nm	0.55~0.8
560nm	0.4 ~0.65
600nm	0.4 ~0.7

【0027】

【発明の効果】以上説明したように、本発明によれば、Al-Cu-TiのようなSiを含有しない金属層に対してバリア性が向上し、Al-SiのようにSiを含有する金属層でもバリア性が改善できる。従来TiNバリア層は200nm程度の厚さで形成されていたが、本発明ではその半分の100nm程度でも同等のバリア性を有する。また、エレクトロマイグレーションのMTFが延びるなどで多層配線の信頼性が向上する。さらに、本発明の方法を用いると、安定した膜厚のTiNの酸化膜形成が可能となる。

【図面の簡単な説明】

【図1】本発明に係る方法で製作された多層配線付き半導体装置の部分断面図である。

【図2】TiN層のアニール処理前後の「TiN酸化膜/TiN」の反射強度割合を示すグラフである。

【図3】多層配線のコンタクト抵抗とアニール条件との

関連を示すグラフである。

【図4】多層配線による接合リーク不良とアニール条件との関連を示すグラフである。

20 【図5】多層配線のシート抵抗とアニール条件との関連を示すグラフである。

【図6】TiN層のアニール処理前後の「TiN酸化膜/TiN」の反射強度割合を示すグラフである。

【符号の説明】

1…半導体基板

3…N<sup>+</sup> (P<sup>+</sup>) 領域

4…BPSG

5…Ti層

6…TiN層

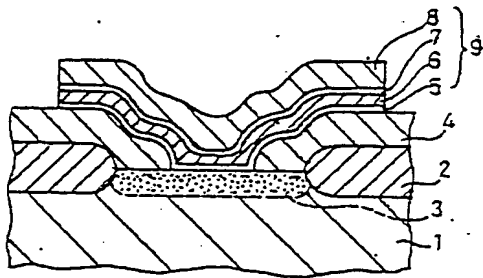
30 7…TiNの酸化膜

6…金属層

9…多層配線

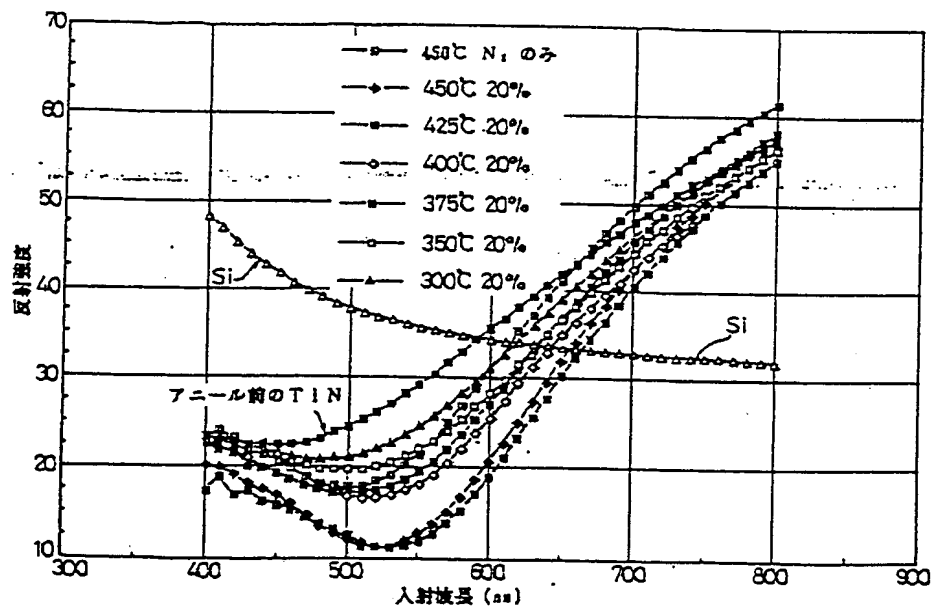
【図1】

本発明による多層配線付き半導体装置の部分断面図。



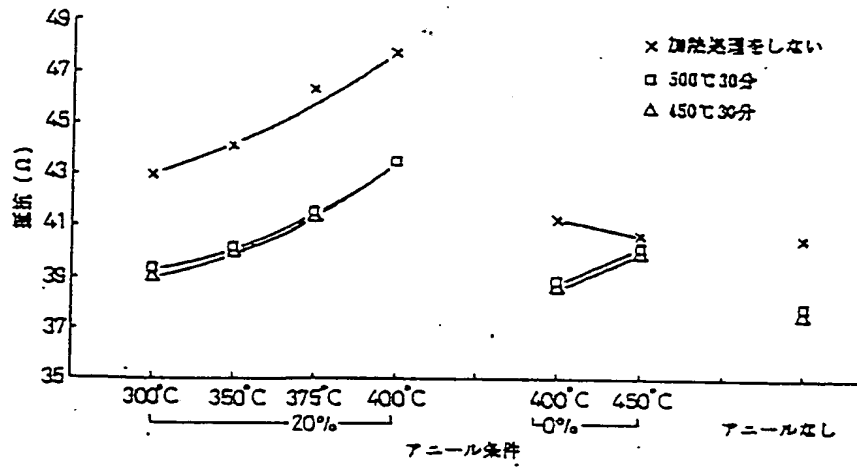
- 1—半導体基板
- 3— $N^+$  ( $P^+$ ) 領域
- 4—BPSG
- 5—Ti層
- 6—TiN層
- 7—TiNの酸化膜
- 8—金属層
- 9—多層配線

【図2】



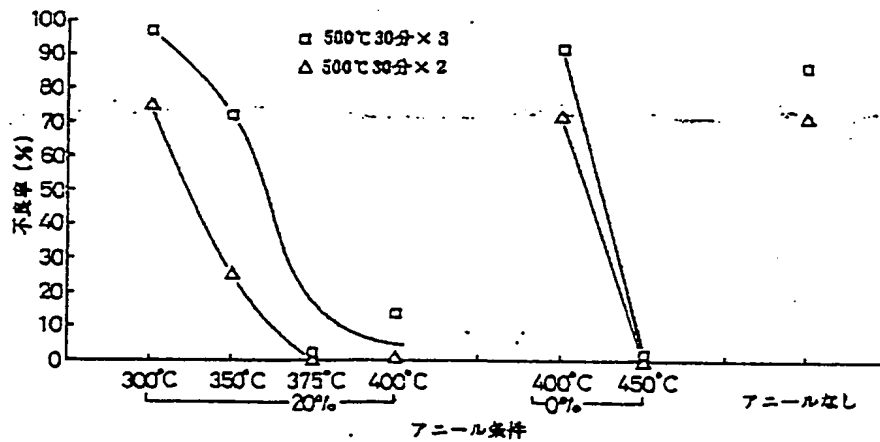
【図3】

エントラクト抵抗のアニール依存



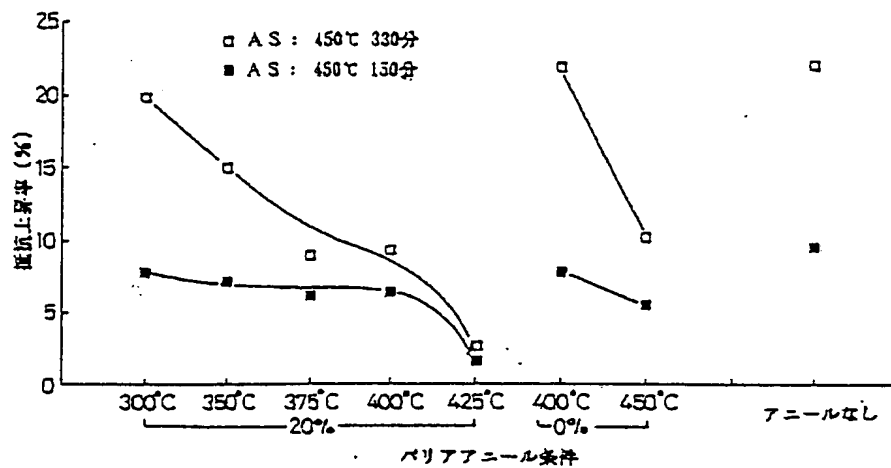
【図4】

接合リーク不良率のペリアニール依存



〔図5〕

シート蒸放上昇率のアニール依存



〔図6〕

